

5年	科目	計算機工学Ⅱ	講義	通年	担当	勝呂 元美
電子制御工学科		Computer EngineeringⅡ	必修	2学修単位（講義60+自学自習30）		SUGURO Motoyoshi
授業の概要						
1. 授業で扱う主要なテーマ:コンピュータのハードウェア 2. テーマの歴史等:コンピュータが実用化されて60年の間にめざましい発展をとげ、汎用的に利用されるようになってきたが、ハードウェアは、基本構造をほとんど変えずに高速化・小型化された。電子回路の発展による高速性とソフトウェアによる融通性、集積回路の発展による超小型化などマイクロプロセッサ、各種メモリ素子の発達による成果であり、それらの知識を修得する。 3. 社会との関連:パーソナルコンピュータ、携帯端末の利用技術は誰にでも要求され、生産・サービス・消費の社会生活に不可欠である。 4. 工学技術上の位置付け:システムの開発や設計をするとき必要となるコンピュータのハードウェアの基礎知識を修得する。 5. 学問的位置付け:コンピュータのハードウェアの基礎知識を学び、そこから今後の技術開発の有様を考察する。						
本校学習・教育目標(本科のみ)		目 標	説 明			
		1	技術者の社会的役割と責任を自覚する態度			
		2	自然科学の成果を社会の要請に応じて応用する能力			
	○	3	工学技術の専門的知識を創造的に活用する能力			
		4	豊かな国際感覚とコミュニケーション能力			
		5	実践的技術者として計画的に自己研鑽を継続する姿勢			
プログラム学習・教育目標 (プログラム対象科目のみ)	実践指針 (プログラム対象科目のみ)			実践指針のレベル (プログラム対象科目のみ)		
C. 工学的な解析・分析及びこれらを創造的に統合する能力	(C1) 機械工学、電気電子工学、情報工学、応用化学、生物工学、材料工学などの専門的技術を身につけ、これらの技術を複合的に活用して、環境エネルギー工学、新機能材料工学、医療福祉機器開発工学等の分野に創造的に応用することができる。			(C1-3)機械工学、電気電子工学、情報工学、応用化学、生物工学、材料工学のいずれかの課題に、修得した専門知識を応用できる。		
授業目標						
1. コンピュータのハードウェアを構成する各装置を図で示し説明できる。 2. CPUの基本動作、プログラム実行過程をブロック図で示し説明できる。 3. CPUの設計手順を理解し、説明できる。 4. 基本的な構成のCPUの設計が行える。(C1-3) 5. プログラム容量追加、割り込み機能/タイマ機能追加等、機能を拡張したCPUの設計が行える。(C1-3)						
授業計画						
第1回	オリエンテーション	プログラムの学習・教育目標、授業概要・目標、スケジュール、評価方法と基準、等の説明				
第2回	コンピュータシステム	コンピュータの応用、種類、処理方式、ネットワークシステム				
第3回	記憶装置他	主記憶装置、補助記憶装置、半導体メモリ、入出力装置概説				
第4回	コンピュータの中のデータ	数の表現、情報の表現				
第5回	マイクロコンピュータ	マイクロコンピュータ概説				
第6回	電子デバイスの電気的特性	電気的特性の意味、セットアップホールドタイム、ファンイン/ファンアウト、動作周波数				
第7回	CPUと他のデバイスの接続	CPUと他のデバイスとの接続				
第8回	前期中間試験					
第9回	CPUの基本動作	ハードウェア/ソフトウェア、『タイマープログラム』実行過程の概略説明				
第10回	CPUの機能設計	CPUの内部ブロック(回路)、命令の構成と機能、『押しボタン式信号機プログラム』実行過程の解説				
第11回	CPUのタイミング設計	各ブロックの動作タイミング、CPUの動作速度				
第12回	CPUの回路設計・レジスタ他	レジスタ、入出力ポート、プログラムカウンタ、セレクタ、演算回路				
第13回	CPUの回路設計・デコーダ	デコーダ/制御信号生成回路				
第14回	CPUの回路動作検証	回路シミュレーション結果より、プログラム実行時の動作を確認				
	前期末試験					
第15回	前期の復習と後期の予定	期末試験の返却と解説および後期の授業概要、目標等の説明				
第16回	CPUの各要素のVHDL記述	レジスタ、プログラムカウンタ、セレクタ、演算回路、デコーダ回路のVHDL記述				
第17回	CPUの設計演習・回路図入力	QuartusⅡ・回路図入力、プログラム作成/入力				
第18回	CPUの設計演習・回路検証	QuartusⅡ・論理シミュレーションにて動作確認				
第19回	プログラム容量拡張・機能設計	プログラム容量拡張CPUの内部ブロック(回路)の構成と機能仕様、命令仕様				
第20回	プログラム容量拡張・回路設計	プログラム容量拡張CPUのレジスタ、演算回路、PC、デコーダ/制御信号生成回路他				
第21回	容量拡張版CPU設計演習	QuartusⅡ・回路図入力、プログラム作成/入力				
第22回	容量拡張版CPU設計演習	QuartusⅡ・論理シミュレーションにて動作確認				
第23回	後期中間試験					
第24回	割込機能追加CPU機能設計	割込機能追加CPUの内部ブロック(回路)の構成と機能仕様、命令仕様				
第25回	割込機能追加CPU回路設計	割込機能追加CPUのレジスタ、演算回路、PC、デコーダ/制御信号生成回路他				
第26回	タイマ機能追加CPU機能設計	タイマ機能追加CPUの内部ブロック(回路)の構成と機能仕様、命令仕様				
第27回	タイマ機能追加CPU回路設計	タイマ機能追加CPUのレジスタ、演算回路、PC、デコーダ/制御信号生成回路他				
第28回	機能追加CPU設計演習	QuartusⅡ・回路図入力、プログラム作成/入力				
第29回	機能追加CPU設計演習	QuartusⅡ・論理シミュレーションにて動作確認				
	学年末試験					
第30回	CPUの設計総括	学年末試験の返却と解説および計算機工学Ⅱまとめ				
評価方法と基準	4回の試験の平均を70%、課題レポートを30%の重みとして評価する。授業目標4(C1-3)及び授業目標5(C1-3)が標準基準(6割)以上で、かつ科目全体で60点以上の場合に合格とする。評価基準については、成績評価基準表による。					
教科書等	配布資料					
備 考	1.試験や課題レポート等は、JABEE・大学評価・学位授与機構、文部科学省の教育実施検査に使用することがあります。 2.授業参観される教員は当該授業が行われる少なくとも1週間前に教科目担当教員へ連絡してください。					

「計算機工学Ⅱ」成績評価基準表

A: 定期試験	学籍番号	
B: 課題レポート	氏名	
C: その他()		

授業目標	到達基準			評価割合(100%)		
	未到達基準	標準基準	優秀基準	A	B	C
				70%	30%	0%
1. コンピュータのハードウェアを構成する各装置を図で示し説明できる。	☐ コンピュータのハードウェア構成図を描けない。 ☐ CPUの制御装置の役割を説明できない。 ☐ CPUの演算装置の役割を説明できない。 ☐ 主記憶装置の役割を説明できない。 ☐ 入出力装置の役割を説明できない。	☐ コンピュータのハードウェア構成図を描ける。 ☐ CPUの制御装置の役割を説明できる。 ☐ CPUの演算装置の役割を説明できる。 ☐ 主記憶装置の役割を説明できる。 ☐ 入出力装置の役割を説明できる。	☐ コンピュータのハードウェア構成図を描け、各々の関係及び信号の流れを説明できる。 ☐ CPUの制御装置の役割及び他の装置との関係を説明できる。 ☐ CPUの演算装置の役割及び他の装置との関係を説明できる。 ☐ 主記憶装置の役割及び他の装置との関係を説明できる。 ☐ 入出力装置の役割及び他の装置との関係を説明できる。	14	3	
2. CPUの基本動作、プログラム実行過程をブロック図で示し説明できる。	☐ 基本的なCPUの構成図を描けない。 ☐ 基本的なCPUの構成要素を説明できない。 ☐ プログラム実行時、CPUの各要素の動きを説明できない。 ☐ プログラム実行時、その実行過程を時系列的に説明できない。	☐ 基本的なCPUの構成図を描ける。 ☐ 基本的なCPUの構成要素を説明できる。 ☐ プログラム実行時、CPUの各要素の動きを説明できる。 ☐ プログラム実行時、実行過程を時系列的に説明できる。	☐ 基本的なCPUの構成図を描け、各々の関係及び信号の流れを説明できる。 ☐ 基本的なCPUの構成要素の詳細を説明できる。 ☐ プログラム実行時、CPUの各要素の動きを詳細に説明できる。 ☐ プログラム実行時、実行過程を時系列的に詳細に説明できる。	14	3	
3. CPUの設計手順を理解し、説明できる。	☐ CPUの基本的な構成を理解し、内部構成要素選択の説明が行えない。 ☐ CPUの基本的な構成を理解し、実装する命令選択の説明が行えない。 ☐ CPU内での制御信号とデータの役割、内部構成要素接続の説明が行えない。 ☐ CPUの基本的な4つの動作を理解し、タイミング設計の説明を行えない。 ☐ CPU内の信号の流れからCPUの動作速度の見積りの説明が行えない。	☐ CPUの基本的な構成を理解し、内部構成要素選択の説明が行える。 ☐ CPUの基本的な構成を理解し、実装する命令選択の説明が行える。 ☐ CPU内での制御信号とデータの役割、内部構成要素接続の説明が行える。 ☐ CPUの基本的な4つの動作を理解し、タイミング設計の説明を行える。 ☐ CPU内の信号の流れからCPUの動作速度の見積りの説明が行える。	☐ CPUへの要求仕様を理解し、汎用性を考慮した内部構成要素選択の説明が行える。 ☐ CPUへの要求仕様を理解し、汎用性を考慮した命令選択の説明が行える。 ☐ CPU内の各要素を、動作速度の向上を考慮して選択、配置し、制御信号とデータ線での内部構成要素接続の説明が行える。 ☐ クロック同期で動作するCPUの設計方法の説明が行える。	14	4	
4. 基本的な構成のCPUの設計が行える。(C1-3)	☐ CPUの基本的な構成を理解し、内部構成要素の設計が行えない。 ☐ CPUの基本的な構成を理解し、実装する命令の回路設計が行えない。 ☐ CPU内での制御信号とデータの役割を決め、各要素の接続が行えない。 ☐ CPUの基本的な4つの動作を理解し、タイミング設計を行えない。 ☐ CPU内の信号の流れからCPUの動作速度の見積りが行えない。	☐ CPUの基本的な構成を理解し、内部構成要素の設計が行える。 ☐ CPUの基本的な構成を理解し、実装する命令の回路設計が行える。 ☐ CPU内での制御信号とデータの役割を決め、各要素の接続が行える。 ☐ CPUの基本的な4つの動作を理解し、タイミング設計を行える。 ☐ CPU内の信号の流れからCPUの動作速度の見積りが行える。	☐ CPUへの要求仕様を理解し、汎用性を考慮した内部構成要素の設計が行える。 ☐ CPUへの要求仕様を理解し、汎用性を考慮した命令の回路設計が行える。 ☐ CPU内の各要素を、動作速度の向上を考慮して選択、配置し、制御信号とデータ線で各要素の接続が行える。 ☐ クロック同期で動作するCPUの設計が行える。	14	10	
5. プログラム容量追加、割り込み機能/タイマー機能追加等、機能を拡張したCPUの設計が行える。(C1-3)	☐ プログラム容量追加の仕様を理解し、必要な内部構成要素、命令の追加を行いCPU全体の設計が行えない。 ☐ 割り込み機能の仕様の概略を理解し、必要な内部構成要素、命令の追加についての概要を説明できない。 ☐ タイマー機能の仕様の概略を理解し、必要な内部構成要素、命令の追加についての概要を説明できない。	☐ プログラム容量追加の仕様を理解し、必要な内部構成要素、命令の追加を行いCPU全体の設計が行える。 ☐ 割り込み機能の仕様の概略を理解し、必要な内部構成要素、命令の追加についての概要を説明できる。 ☐ タイマー機能の仕様の概略を理解し、必要な内部構成要素、命令の追加についての概要を説明できる。	☐ プログラム容量追加の仕様を理解し、複数の手段から最適な方法を選択し、必要な変更を加え、CPU全体の設計が行える。 ☐ 割り込み機能の仕様を理解し、必要な内部構成要素、命令の追加を行いCPU全体の設計が行える。 ☐ タイマー機能の仕様を理解し、必要な内部構成要素、命令の追加を行いCPU全体の設計が行える。	14	10	
備考						